

最新の半導体集積技術と超純水

Latest Semiconductor Integration Technology and Ultrapure Water



(環)技術室
知 福 博 行
Hiroyuki Chifuku

The improvement of semiconductor memory integration is so rapid that the production of 16 Mbit DRAM has already started. The next generation 64 Mbit DRAM requires the atomic level control of wafer surface as well as high cleanliness in production processes. On the other hand, rinsing difficulty is increasing due to multi-layerization and requirement for more and more multi-layerized and refined cell structure. Although an GOLDEP-made ultrapure water production system is capable of producing high quality water which 64 Mbit DRAM requires, the water quality control method will be a critical point for the operation.

まえがき

半導体メモリーにおける集積度の向上はめざましく、特に DRAM (Dynamic Random Access Memory: 記憶保持操作の必要な随時書き込み読み出しメモリー) については、現在各社で 64 Mbit の量産工場の建設が行われており、一部で供給も始まっている。また、次世代、次々世代については 256 Mbit, 1 Gbit について研究開発が進められており、256 Mbit ではすでに試作品もつくられている。

このような高集積度の半導体メモリーの製造プロセスにおいては、現状よりはるかに高度なクリーン化が要求されるとともに、超純水についてもさらに厳しい水質が要求されるものと予想される。

本報では 64 MDRAM の製造技術動向や、周辺技術を展望し、これらの要求に対応できる超純水水質について検討した。

1. 半導体メモリー

1.1 構造

集積回路は IC (Integrated Circuit) とも呼ばれており、一枚のシリコンチップの上にトランジスター、ダイオード、抵抗、コンデンサー等を形成し、回路を構成したものである。俗に言う IC はこのような物を指しており、半導体 IC (モノリシック IC) と呼ばれている。これに対して一部の部品を外付けして製作されたものを混成集積回路 (ハイブリッド IC) と呼んで区別している。

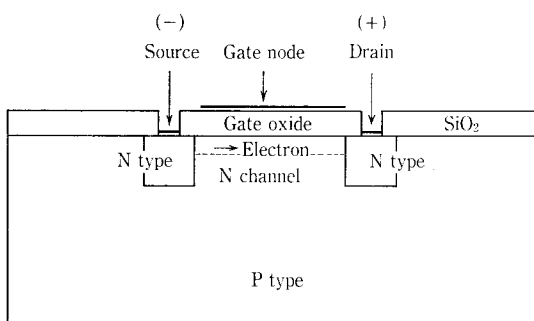
半導体集積回路は使用されている素子の種類によってバイポーラ形と MOS 形 (Metal Oxide Semiconductor) に分類できる。バイポーラ形は NPN, PNP トランジスターで構成されており、MOS 形は MOSFET とよばれる絶縁ゲート形 FET (Field Effect Transistor) で構成されている。また MOS 形には、バイポーラトランジスターと MOS-FET の両方で構成された Bi-MOS IC や、Pチャンネル形、Nチャンネル形の両方の MOSFET で構成された CMOS IC 等がある。

一般的に DRAM といわれているものは、NMOS, CMOS を指すが、64 Kbit の終わり頃より消費電力の小

さい CMOS が現れ、現在では主流となっている。

先にも述べたように MOS 形 FET は Metal/Oxide/Semiconductor の 3 層積層構造で FET を構成している。第 1 図に MOSFET の構造を模式的に示したが、ゲート電極への電圧 (現在 5 V) の ON-OFF が、ゲート酸化膜 (SiO_2 薄膜絶縁層; 1 MDRAM で約 30 nm, 64 MDRAM で約 10 nm) を隔てて、半導体表面 (チャンネル) の電流キャリア濃度を制御することによってスイッチ機能を果たしている。

DRAM 集積回路の単位メモリーセルはトランジスターとキャパシタ (コンデンサー) により構成される。トランジスターはキャパシタへの電流を ON-OFF 制御するスイッチの役割を果たしており、キャパシタの電荷の有無がメモリーの状態に対応している。キャパシタも構造的に FET と殆ど同じ 3 重構造 (絶縁膜厚; SiO_2 換算で 1 MDRAM で約 10 nm, 64 MDRAM で約 3.5 nm) であり構造が簡単である。例えば CMOS DRAM では NMOSFET と PMOSFET 各 1 個とキャパシタ 1 個の合計 3 素子よりメモリーセルが構成されており、CMOS SRAM (Static RAM 記憶保持動作の不要な RAM) と比較すると構成素子数が 1/2 とコンパクトになる。また、MOS DRAM では 1 FET + 1 キャパシタで構成されているためさらにコンパクトになる。

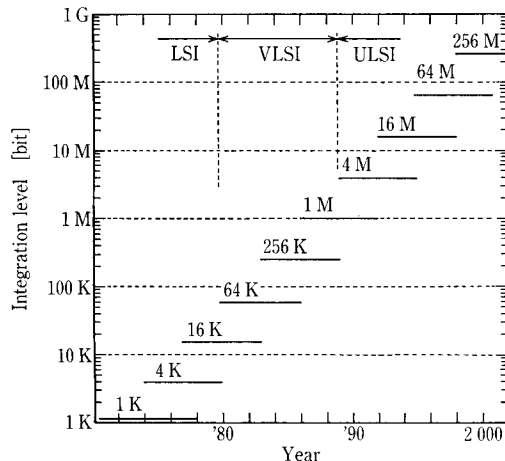


第 1 図 MOSFET の構造 (Nチャンネル)
Fig. 1 MOSFET structure (N-channel type)

第1表 集積度による集積回路の分類

Table 1 Classification of integrated circuit by packing density

Classification	Elements/Chip
SSI (Small scale integration)	<100
MSI (Medium scale integration)	100~1 000
LSI (Large scale integration)	1 000~100 000
VLSI (Very large scale integration)	100 000~10 000 000
ULSI (Ultra large scale integration)	>10 000 000



Note: Starting points of solid lines indicate start of mass production

第2図 DRAMの集積度の変化
Fig. 2 History of DRAM integration level

集積度によるICの分類を第1表に示したが、CMOS形のDRAMの場合には64 Kbit以上がVLSIと呼ばれる。4 Mbit CMOS DRAMでは90 mm²のチップ面積に1 200万素子が組み込まれており0.8 μm以下の微細加工が要求される。

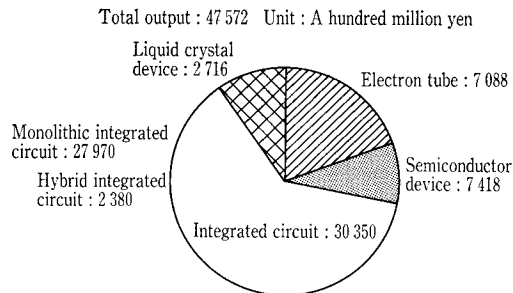
1.2 半導体メモリの歴史

鉱石検波器の発明より始まる半導体の歴史は約90年におよぶが、ゲルマニウムトランジスタ、シリコントランジスタの発明・製品化の時代を経て今やデジタル集積回路、LSIの時代であるといえる。これまでの半導体の進歩を大きく分けると次のようになり、アナログからデジタルへの変化が著しい。

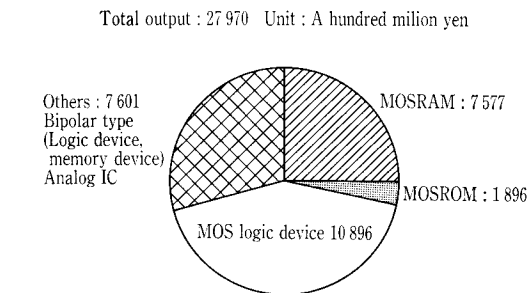
- 1950年代：ゲルマニウムトランジスタ時代
- 1960年代：シリコントランジスタ、小規模集積回路時代
- 1970年代：LSI時代 1~16 Kbit DRAM, 4, 8 bit マイクロプロセッサ
- 1980年代：64 K~1 MDRAM, 4, 8, 16 bit マイクロプロセッサ

特に1970年からはDRAMの高集積化が著しく、第2図に示したようにDRAMの集積度はほぼ3年サイクルで4倍に向上している。このような技術革新の波や、市場におけるニーズの波等が複雑に絡み合いDRAMの需要はシリコンサイクルと呼ばれる3~4年を周期とした波をもっている。現在のDRAM需要は米国景気の回復基調により徐々に上向いてはいるが、1 Mbitから4 Mbitへの移行は途中であり、2世代が共存している。

また'91年後半より、半導体各メーカーはDRAM一辺倒からSRAMやフラッシュメモリー（電氣的に一括消去



第3図 1991年度の電子部品生産額（一般電子部品を除く）
Fig. 3 Japan's output of electronic parts in fiscal 1991 (Excluding ordinary electronic parts)



第4図 1991年度の半導体集積回路生産額の内訳
Fig. 4 The breakdown for Japan's output of monolithic integrated circuit in the fiscal 1991

・再書き込みできる読み出し専用メモリー）の高集積度化に向かうとともに、ASIC (Application Specific Integrated Circuit: 特定用途向けIC)にも注力し始めている。

1.3 半導体メモリの生産動向

「機械統計月報」(財)通省産業調査会によると1991年度の一般電子部品を除いた電子部品の出荷額は4兆7,572億円である。その内訳を第3図に、半導体集積回路生産高の内訳を第4図に示した。

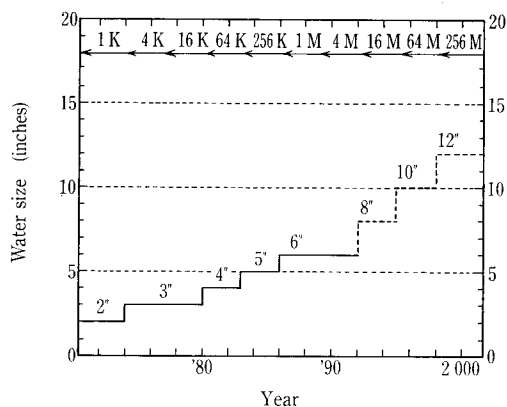
わが国における半導体集積回路の年間生産額は'91年度において2兆7,970億円であり金額で前年度比0.9%の増加であったが、在庫は数量で前年度比34.4%の増加となった。この半導体集積回路生産額の内、MOS形半導体メモリーの生産額は9,473億円、MOSRAMはほぼ80%の7,577億円を占めている。

2. 最新の半導体集積技術

DRAMの製造において、スループットや歩留まり向上のためウェーハサイズのアップや高集積化が行われてきた。ウェーハサイズでは第5図のように3, 4, 5, 6インチと大口径径が進み、現在の4~16 MDRAMでは8インチが採用され始めている。8インチウェーハの面積は6インチの1.8倍であるが、16 Mや64 MDRAMでは約2倍のチップ数を得る事が出来る。第2表にセル構造の変遷をまとめたが、これより集積度が4倍になり世代が交代すると、おおよそ

- (1) 最小加工寸法が70%の割合で縮小
- (2) セルサイズは40%に縮小
- (3) チップサイズは1.5倍に増加

となる。さらに世代ごとにプロセスステップも増加し、1 MDRAMにおいて100~200ステップであったものが16 MDRAMでは400ステップを越える。次世代の64 MDRAM



第5図 DRAMウェーハサイズの変化
Fig. 5 History of DRAM wafer size

でもこの傾向は変わらず、広い面積を均一に加工・洗浄する技術と微細加工する技術が要求される。次に超純水の立場よりみた64 MDRAMにおける要素技術およびメモリーセル構造の特長をまとめた。

2. 1 64 MDRAM 製造における要素技術

- (1) 0.35 μm デザインルールの微細加工技術
- (2) セル構造の立体化技術
キャパシタの立体化, 配線膜の多層化
- (3) 薄膜形成技術
ゲート酸化膜, 層間絶縁膜の薄膜化
- (4) ウェーハ表面における原子レベルでのクリーン化, 平坦化技術, 水素ターミネーション技術
- (5) 8"以上の大口徑ウェーハへの均一, 均質な微細加工, 成膜, エッチング, イオン注入技術
- (6) プロセス内で発生するパーティクルやメタルコンタミネーションの防止技術
- (7) ガス, 薬品の純度向上, 超純水の水質向上
パーティクル, 金属, 有機物の低減, 酸化膜の生成防止
- (8) 微細構造部, 立体構造部の精密洗浄技術
ハイアスペクト部の効果的な洗浄
- (9) パーティクル, 金属, などの計測管理, 評価技術

2. 2 セル構造

これまで集積度の向上に伴い、第2表のようにセルサイズの縮小や薄膜化が進められてきた。DRAMの集積度を高めていく上で、構造的な問題点としてキャパシタ面積の確保があげられる。DRAMの記憶動作はセル内に形成したキャパシタで行うが、ソフトエラーの防止などのためこの蓄積容量は25fF程度を確保する必要がある。

SiO₂換算で5nmのキャパシタ絶縁膜を使用しても25fFの蓄積容量を得るためには3.6 μm^2 のキャパシタ面積を必要としセル面積が1.5 μm^2 程度しかない64 MDRAMでは3次元的な構造が必要となる。

実際には4 Mbit ころよりキャパシタが立体化され始め、ウェーハ上に積み重ねてゆくスタック形とウェーハ内を利用するトレンチ形の2種類が実用化されてきた。またキャパシタのみならずセル構造も立体化され、アスペクト比が2~6のコンタクトホールやトレンチの洗浄が必要となってきた。絶縁膜厚についてみると、SiO₂1原子層の厚みが0.2nmであるから、数十層のオーダーでの成膜が必要となり、成膜前のウェーハ表面の清浄度や平坦度が非常に重

第2表 セル構造の変遷

Table 2 History of cell structure

DRAM generation		1 M	4 M	16M	64M
Design rule	μm	1.2	0.8	0.5	0.35
Cell size	μm^2	25	10	4	1.5
Gate oxide	nm	30	20	15	10
Capacitor insulator	nm	12	9	5	3.5
Chip area	mm^2	50	90	135	200

要となり原子レベルのコントロールが必要になってくる。とくに最近ではウェーハ表面シリコンの水素ターミネーションについて沸騰超純水洗浄が注目されている。

3. 64 MDRAM に要求される超純水

3. 1 パーティクル

パーティクルがウェーハ上に残留した場合、次工程がフォトリソグラフであるとピンホールや配線パターンの短絡を引き起こし、いわゆるパターン欠陥となる。また次工程が熱酸化膜形成プロセスである場合、耐圧特性が悪化する。パーティクルは洗浄水のみならずガスや空気もその原因となるので、クリーンルームについても高清浄度のものが要求されている。(プロセスエリアでクラス1 (0.05 μm), サービスエリアでクラス100 (0.1 μm)) パーティクルの許容サイズは重ね合わせ精度の1/2とされている。重ね合わせ精度はデザインルールの概ね1/5であるから、パーティクルの許容サイズとしてはデザインルールの1/10となり64 MDRAMで0.03 μm となる。

3. 2 溶存酸素

従来はバクテリア対策として100 $\mu\text{g}/\text{l}$ を目安としていたが、溶存酸素は自然酸化膜を形成するという報告があり、4 Mbit のころより溶存酸素の低減に関心もたれ始めた。

特にデバイスが微細化しコンタクトホールの面積が減少すると、Si表面の自然酸化膜の抵抗が影響してくる。16 Mbit では10~50 $\mu\text{g}/\text{l}$ の溶存酸素レベルがユーザより要求されているが、64 Mbit では1~5 $\mu\text{g}/\text{l}$ 程度が必要になると考えている。

3. 3 TOC

従来はバクテリアの栄養源として考えられており、殺菌によってバクテリア対策が可能であったためTOCそのものにはあまり注目されていなかった。しかしウェーハ表面の有機物で汚染されると、有機物の下の酸化膜除去が不完全となりやすいことや、有機物の吸着汚染が生じた場合エピタキシャル膜が成長しないことなどが明らかになってきた。1986年にはGEのMcConneleeらりが1.25 μm のCMOSプロセスについてゲート酸化膜(20~25nm)の耐圧試験で検出される欠陥密度と酸化前洗浄に使用する純水のTOC値の間に第6図のような相関のあることを見だし、TOCを20 $\mu\text{g}/\text{l}$ 以下に低減するとこのプロセスでの欠陥密度を低レベルで安定させることが出来ると報告した。この報告以後4M~16MDRAMにおける超純水のTOCは5~20 $\mu\text{g}/\text{l}$ 程度で設計されていることが多い。64MDRAMについては必要かつ十分なレベルは明らかにされていないが、分析機器の精度からみて1~5 $\mu\text{g}/\text{l}$ 程度と考えている。

3. 4 バクテリア

バクテリアはパーティクルと同様に形状的欠陥の原因と

なる。その他細胞内に含有する P, Na, K などが熱処理時にシリコン結晶内に拡散し、不純物汚染の原因となる。

制御レベルに明確な根拠は見あたらないが、16 Mbit までの値は運転実績より経験的に求めた値と思われる。

3.5 金属

64 MDRAM では集積度が向上した分セル面積が減少し、セル内の活性な領域の割合が増大してきたため、ウェーハの欠陥密度にたいする要求が厳しくなってきた。また欠陥の種類についても従来からのウェーハ表面のパターン欠陥や有機物の吸着から、結晶欠陥の制御に関心が払われるようになってきた。

金属汚染は結晶欠陥の重要な原因となり接合リークや耐圧劣化を誘発し、デバイスの特性や製造歩留まりに悪影響を及ぼす。金属の汚染源としては加工プロセスにおけるプラズマ装置内、イオン注入装置内でのスパッタリングや搬送装置の摩耗発塵、ウェット処理での薬品や超純水からの金属の吸着がある。これらの金属汚染の結果次のような障害を引き起こす。

- (1) バルク内で深い準位を作り、DRAMの保持時間特性を劣化させる。
- (2) SRAMの微少リーク電流の原因となる。
- (3) 熱処理を繰り返すことによってウェーハの表面に凝集し、条件によっては酸化・拡散時に発生する積層欠陥の原因ともなる。

金属汚染レベルとウェーハに対する影響についての研究がいくつかなされている。例えば下野ら²⁾は少数キャリア再結合ライフタイムはウェーハ表面不純物濃度に比例して低下し、ウェーハ表面の Fe 濃度は 10^{10} atoms/cm² 以下にする必要性を示している。

これらの研究よりウェーハの結晶欠陥のレベルよりみた許容金属量は 10^{10} atoms/cm² 以下であり、超純水の水質基準値としては

Fe < 10 ng/l

Cu < 10 ng/l

が必要となる。

これより 64 MDRAM では全金属濃度として 10 ng/l 以下の水質が必要と考えている。

3.6 64 MDRAM に要求される超純水水質

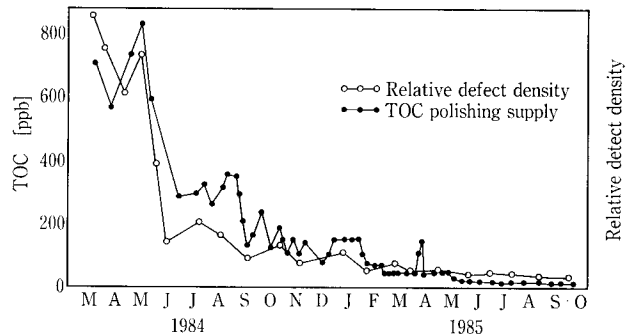
これまでの各世代の DRAM に要求されてきた超純水水質と 64 MDRAM に要求されるであろう水質を第 3 表にまとめるとともに、当社の GOLDEP 製超純水装置の供給可能水質³⁾を示した。

本表の水質項目の内、TOC および溶存酸素はほぼ分析計の分析下限値に近い。また微粒子は 0.07 μ m ではパーティクルカウンターで測定出来るが、0.05 μ m 以下では精度よく測定することが難しくなる。金属類でも全金属で 10

第 3 表 集積度と超純水への要求水質

Table 3 Integration level vs required ultrapure water quality

DRAM generation		64K	256K	1 M	4 M	16M	64M	UPW unit GOLDEP
Design rule	μ m	3	2	1.2	0.8	0.5	0.35	
Resistivity	M Ω ·cm	>16~17	>17.5	>17.6~18	>18	>18.1	>18.2	18.25
Particle	>0.2 μ m	Counts /m ℓ	<50~150	<30	<10 <30	<1 <10-20 <30	—	<1
	>0.1 μ m							
	>0.07 μ m							
	>0.05 μ m							
	>0.03 μ m							
Bacteria	cfu/100 ml	<50~100	<50	<10	<1	<0.1	<0.1	<0.1
TOC	μ g/l	<200	<100	<50	<10-30	<5-10	<1	<1
Silica	μ g/l	<20~30	<10	<5	<3	<3	<1	<1
Na	ng/l		<1 000	<1 000	<100	<50	<10	<1.3
Fe	ng/l						<10	<1.3
Zn	ng/l						<10	<0.1
Cu	ng/l		<2 000	<1 000	<100	<50	<10	0.1
Dissolved oxygen	μ g/l	<100	<100	<50	<50	<20	1~5	<0.5



第 6 図 酸化膜欠陥密度と洗浄純水の TOC との相関関係 (McConnelee et al (1))

Fig. 6 Relation of defect density in oxide and TOC level in ultrapure water (McConnelee et al (1))

ng/l 以下とすると、個々の金属では 1 ng/l 程度の分析精度を要求されるので 64 MDRAM 対応の超純水では製造技術とならんで分析技術が重要であるといえる。

む す び

64 MDRAM 対応の超純水水質について検討した。超純水に要求されるグレードは当然 16 MDRAM の場合より一段と厳しいものになっており、項目によっては現在の分析精度(特にオンラインにおける分析精度)の下限値に近かったりそれ以下のものもあるため、今後は水質の分析方法や管理方法が超純水製造装置の性能とともに重要な課題となってくると考えられる。

当社技術研究所には GOLDEP 製超純水製造装置が設置されており、また微量金属分析装置も導入されたので、今後は水質管理を中心とした運転管理面でのデータの収集を行ってゆきたいと考えている。

〔参考文献〕

- 1) P. A. McConnelee, S. J. Poirier, R. Hanselka; Proceedings of 5th Semiconductor Pure Water Conference, San Francisco (1986. 1)
- 2) 下野, 辻; 超 L S I ウルトラクリーンテクノロジーワークショップ No. 1 プロシーディング, November 11 1989 p. 49
- 3) 牛越健一ら; ウルトラクリーンテクノロジー, Vol. 3, No. 1 (1991), p. 57